

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044211

(43)Date of publication of application : 16.02.2001

(51)Int.Cl. H01L 21/331
H01L 29/73
H01L 29/205

(21)Application number : 11-212520

(71)Applicant : NEC CORP

(22)Date of filing : 27.07.1999

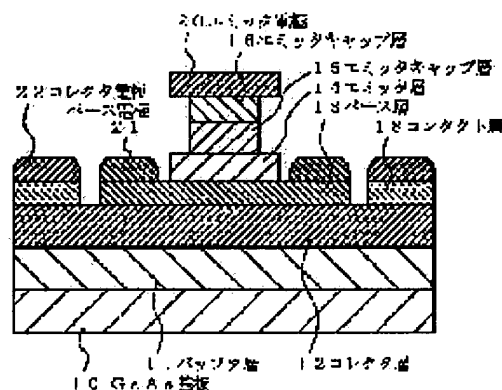
(72)Inventor : FURUHATA NAOKI

(54) HETEROJUNCTION BIPOLAR TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a heterojunction bipolar transistor with a device structure which is easily planarized and simple in manufacturing process steps, while maintaining high device characteristics, and to provide a method of manufacturing the same.

SOLUTION: In this transistor, a first conductivity-type collector layer 12, a second conductivity base layer 13, and a first conductivity emitter layer 14 having an inhibit bandwidth larger than that of the layer 13 each of which is composed of a III-V compound semiconductor thin film, are formed on a GaAs substrate 10. Electrodes are formed on the respective layers. In this case, a low-resistant, first conductivity-contact layer 18, doped with an impurity highly concentrated than the layer 12 is inserted between the layer 12 and a collector electrode 22.



LEGAL STATUS

[Date of request for examination] 20.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim]

[Claim 1] The collector layer of the 1st conductivity type which consists of a 3-5 group compound semiconductor thin film on a semiconductor substrate, In the heterojunction bipolar transistor by which the base layer of the 2nd conductivity type and the emitter layer of the 1st conductivity type with forbidden-band width of face larger than the aforementioned base layer are formed one by one, and the electrode is formed in each layer The heterojunction bipolar transistor characterized by inserting the semiconductor layer of the 1st conductivity type of low resistance which doped the impurity to high concentration from the aforementioned collector layer between the aforementioned collector layer and a collector electrode.

[Claim 2] The collector layer of the 1st conductivity type which consists of a 3-5 group compound semiconductor thin film on a semiconductor substrate, In the heterojunction bipolar transistor by which the base layer of the 2nd conductivity type and the emitter layer of the 1st conductivity type with forbidden-band width of face larger than the aforementioned base layer are formed one by one, and the electrode is formed in each layer The heterojunction bipolar transistor characterized by forming the semiconductor layer and collector electrode of the 1st conductivity type of low resistance which a part of aforementioned collector layer is removed, and doped the impurity from the aforementioned collector layer into the fraction at high concentration one by one.

[Claim 3] The claim 1 whose impurity concentration in the semiconductor layer of the 1st conductivity type of the aforementioned low resistance is three or more [$1 \times 10^{18} \text{cm}^{-3}$], or a heterojunction bipolar transistor given in two.

[Claim 4] The heterojunction bipolar transistor to which the semiconductor layer of the 1st aforementioned conductivity type of low resistance which doped the impurity from the aforementioned collector layer to high concentration is characterized by forming forbidden-band width of face in the parvus semiconductor layer from the aforementioned collector layer in the claim 1 or a heterojunction bipolar transistor given in two.

[Claim 5] The heterojunction bipolar transistor characterized by forming all of an emitter, the base, and a collector electrode with the same alloy in the heterojunction bipolar transistor of claim 4 publication.

[Claim 6] On a semiconductor substrate, by the 3-5 group compound semiconductor, the collector layer of the 1st conductivity type, In the manufacture technique of the heterojunction bipolar transistor containing the process which grows epitaxially the base layer of the 2nd conductivity type, and the emitter layer of the 1st conductivity type with forbidden-band width of face larger than this base layer epitaxially one by one The manufacture technique of the heterojunction bipolar transistor characterized by forming the semiconductor layer of the 1st conductivity type of low resistance which doped the impurity to high concentration by the selective growth from the aforementioned collector layer between the aforementioned collector layer and a collector electrode.

[Claim 7] On a semiconductor substrate, by the 3-5 group compound semiconductor, the collector layer of the 1st conductivity type, In the manufacture technique of the heterojunction bipolar transistor containing the process which grows epitaxially the base layer of the 2nd conductivity type, and the emitter layer of the 1st conductivity type with forbidden-band width of face larger than this base layer epitaxially one by one The manufacture technique of the heterojunction bipolar transistor characterized by forming the semiconductor layer of the 1st conductivity type of low resistance which etched in a part of aforementioned collector layer, and doped the impurity from the aforementioned collector layer into the fraction at high concentration by the selective growth.

[Claim 8] The manufacture technique of the claim 6 whose impurity concentration in the semiconductor layer of the 1st conductivity type of the aforementioned low resistance is three or more [$1 \times 10^{18} \text{cm}^{-3}$], or a heterojunction bipolar transistor given in seven.

[Claim 9] The manufacture technique of the heterojunction bipolar transistor characterized by forming an emitter cap layer simultaneously in the aforementioned semiconductor layer and the same semiconductor layer in case the aforementioned semiconductor layer of low resistance which doped the impurity from the aforementioned collector layer to high concentration is formed by the selective growth in the manufacture technique of the claim 6 or a heterojunction bipolar transistor given in seven.

[Claim 10] The manufacture technique of the heterojunction bipolar transistor characterized by forbidden-band width of face forming a parvus semiconductor layer by the selective growth from the aforementioned collector layer in the manufacture technique of the claims 6 and 7 or a heterojunction bipolar transistor given in nine as the aforementioned semiconductor layer of low resistance which doped the impurity from the aforementioned collector layer to high concentration.

[Claim 11] The claim 1 whose aforementioned semiconductor substrate is Si or GaAs, or a heterojunction bipolar transistor given in two.

[Claim 12] The manufacture technique of the claim 6 whose aforementioned semiconductor substrate is Si or GaAs, or a heterojunction bipolar transistor given in seven.

[Claim 13] The claim 1 characterized by the semiconductor layer of the 1st conductivity type of low resistance which doped the impurity to high concentration consisting of a cascade screen of the 1st semiconductor layer and the 2nd semiconductor layer from the aforementioned collector layer, or a heterojunction bipolar transistor given in two.

[Claim 14] The heterojunction bipolar transistor of the claim 13 publication characterized by for the semiconductor layer of the above 1st being n+-GaAs and the semiconductor layer of the above 2nd being n+-InGaAs.

[Claim 15] The claim 13 characterized by the impurity concentration in the semiconductor layer of the above 2nd being larger than the impurity concentration in the semiconductor layer of the above 1st, and being three or more [$1 \times 10^{19} \text{cm}^{-3}$], or a heterojunction bipolar transistor given in 14.

[Claim 16] The manufacture technique of the claim 16 characterized by the impurity concentration in the semiconductor layer of the above 2nd being larger than the impurity concentration in the semiconductor layer of the above 1st, and being three or more [$1 \times 10^{19} \text{cm}^{-3}$], or a heterojunction bipolar transistor given in 17.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[The technical field to which invention belongs] About a heterojunction bipolar transistor and its manufacture technique, especially this invention has the small level difference of an emitter, the base, and a collector, and relates to the easy heterojunction bipolar transistor and its manufacture technique of a flattening.

[0002]

[Prior art] The heterojunction bipolar transistor (referred to as HBT below) using the 3-5 group compound semiconductor has the outstanding RF property and high current drive capacity, and moreover, since a single positive-supply operation is possible, promising ** of the application to the RF element and high power element of a mobile communication equipment or an optical transmission system is carried out, and it has already been put in practical use in part. When making it a miniaturization and IC of an element in these applications, the ease of carrying out of a flattening becomes important. However, since the conventional HBT is the vertical form structure which is shown in drawing 7, in order to form each electrode of the emitter electrode 20, the base electrode 21, and the collector electrode 22, it needs to cut a deep mesa and the level difference of about 1 micrometer produces it very between the emitter electrode 20 and collector ** 22. Therefore, the flattening process in the case of making it IC becomes difficult.

[0003] Moreover, at the conventional HBT shown in drawing 7, in order to make a collector proof pressure high and to reduce the capacity between the collector-bases, a collector layer is formed by 1016cm - three sets of low concentration n type GaAses. By the case, it is non-doped. There is also a case of GaAs. Therefore, it is difficult to take a direct contact in a collector layer, and it inserts 1018cm - three sets (sub collector layer 12a) of high concentration n+-GaAs layers in the lower part of a collector layer, and forms a collector electrode 22 there. For this reason, the mesa card row is still deep.

[0004] In a publication-number 14041 [six to] official report, **** . ***** et al., journal **** crystal grotesque-*, 136 volumes, and 235-240 (1994) (Alexandre et al., Journal of Crystal Growth, 136, pp235-240 (1994)), the method of preparing a contact layer on a sub collector layer is proposed to this problem. Drawing 8 is the example, and contact layer 12b which consists of n+-GaAs and n+-InGaAs on sub collector layer 12a is formed by the selective growth by CBE (Chemical Beam Epitaxy), and it is attaining the flattening.

[0005]

[Object of the Invention] With the structure of the conventional HBT mentioned above, a mesa card row 1 micrometers or more is made, and the flattening is difficult. Although the structure of HBT shown in drawing 8 is effective in order to cancel a collector mesa, since the sub collector layer is prepared as usual, a sub collector layer becomes a parasitic capacitance and there is a problem degrade a device property.

[0006] Moreover, since it is necessary to etch to a sub collector layer, a mesa card row becomes deep, a thick selective-growth layer is needed, it is easy to carry out facet growth, and a flattening becomes difficult too.

[0007] It is to offer the heterojunction bipolar transistor which can simplify a process, and its manufacture technique, the purpose of this invention making a flattening easy using a selective growth, and maintaining a high device property.

[0008]

[The means for solving a technical problem] The heterojunction bipolar transistor by this invention The collector layer of the 1st conductivity type which consists of a 3-5 group compound semiconductor thin film on a semiconductor substrate, In the heterojunction bipolar transistor by which the base layer of the 2nd conductivity type and the emitter layer of the 1st conductivity type with forbidden-band width of face larger than the aforementioned base layer are formed one by one, and the electrode is formed in each layer It is characterized by inserting the semiconductor layer of the 1st conductivity type of low resistance which doped the impurity to high concentration from the aforementioned collector layer between the aforementioned collector layer and the collector electrode.

[0009] Moreover, other heterojunction bipolar transistors by this invention The collector layer of the 1st conductivity type which consists of a 3-5 group compound semiconductor thin film on a semiconductor substrate, In the heterojunction bipolar transistor by which the base layer of the 2nd conductivity type and the emitter layer of the 1st conductivity type with forbidden-band width of face larger than the aforementioned base layer are formed one by one, and the electrode is formed in each layer A part of aforementioned collector layer is removed, and it is characterized by forming the semiconductor layer and collector electrode of the 1st conductivity type of low resistance which doped the impurity from the aforementioned

collector layer into the fraction at high concentration one by one.

[0010] It is characterized by furthermore forbidden-band width of face forming the semiconductor layer of low resistance which doped the impurity from the collector layer to high concentration in a parvus semiconductor layer from a collector layer in the above-mentioned heterojunction bipolar transistor. Moreover, with this structure, it is characterized by forming all of an emitter, the base, and a collector electrode with the same alloy.

[0011] The manufacture technique of the heterojunction bipolar transistor by this invention On a semiconductor substrate, by the 3-5 group compound semiconductor, the collector layer of the 1st conductivity type, In the manufacture technique of the heterojunction bipolar transistor containing the process which grows epitaxially the base layer of the 2nd conductivity type, and the emitter layer of the 1st conductivity type with forbidden-band width of face larger than this base layer epitaxially one by one It is characterized by forming the semiconductor layer of the 1st conductivity type of low resistance which doped the impurity to high concentration by the selective growth from the aforementioned collector layer between the aforementioned collector layer and a collector electrode.

[0012] Other manufacture technique by the 3-5 group compound semiconductor on a semiconductor substrate Moreover, the collector layer of the 1st conductivity type, In the manufacture technique of the heterojunction bipolar transistor containing the process which grows epitaxially the base layer of the 2nd conductivity type, and the emitter layer of the 1st conductivity type with forbidden-band width of face larger than this base layer epitaxially one by one It etches in a part of aforementioned collector layer, and is characterized by forming the semiconductor layer of the 1st conductivity type of low resistance which doped the impurity from the aforementioned collector layer into the fraction at high concentration by the selective growth.

[0013] In the above-mentioned manufacture technique, it etches in a part of collector layer, and is characterized by forming the semiconductor layer of low resistance which doped the impurity from the collector layer into the fraction at high concentration by the selective growth. Furthermore, in case the semiconductor layer of low resistance which doped the impurity from the collector layer to high concentration in the above-mentioned manufacture technique is formed by the selective growth, the emitter cap layer is also characterized by forming simultaneously in the same semiconductor layer.

[0014] In the above manufacture technique, forbidden-band width of face may form a parvus semiconductor layer by the selective growth from a collector layer as a semiconductor layer of low resistance which doped the impurity from the collector layer to high concentration.

[0015] Since the contact layer which becomes the collector layer upper part or the collector layer side face from the semiconductor layer of the high concentration 1st conductivity type by the selective growth is prepared according to this invention, it is not necessary to form a collector mesa. By preparing a certain amount of thickness in a contact layer, a flattening is made easily. Moreover, if it *****s among the collector section and the emitter section, by the selective growth, it will also be enabled to form simultaneously and simplification of a process can do a contact layer and an emitter cap layer.

[0016] Furthermore, if forbidden-band width of face uses a parvus semiconductor layer from collector layers, such as InGaAs to GaAs, as a contact layer, contact resistance becomes low, it is the alloy of a Ti/Pt/Au system, and it is also possible to form an emitter, the base, and a collector electrode simultaneously.

[0017]

[Gestalt of implementation of invention] The gestalt of enforcement of this invention is explained in full detail below, referring to the appended drawing that the above-mentioned purpose, the characteristic feature, and advantage of this invention should be made clear.

[0018] Drawing 1 is the configuration cross section of the heterojunction bipolar transistor of the gestalt of enforcement of the 1st of this invention. In this drawing, the buffer layer 11 (thickness:500nm) which consists of i-GaAs or i-AlGaAs is formed on the half-insulation GaAs substrate 10, and the n-GaAs collector layer 12 (thickness:500nm) which doped Si $5 \times 10^{16} \text{cm}^{-3}$ is formed on this buffer layer 11.

[0019] On the collector layer 12, the p+-GaAs base layer 13 (thickness:80nm) which doped carbon (C) $2 \times 10^{19} \text{cm}^{-3}$ is formed, and n-AlGaAs or the n-InGaP emitter layer 14 (thickness:100nm) which doped Si $3 \times 10^{17} \text{cm}^{-3}$ is formed on the base layer.

[0020] On the emitter layer 14, in order to take an emitter electrode, the emitter cap layer which consists of the n+-GaAs layer 15 (thickness:100nm) and the n+-InGaAs layer 16 (thickness:100nm) which doped Si to high concentration (3 or more $1 \times 10^{18} \text{cm}^{-3}$) is formed. Moreover, on the emitter cap layer, the emitter electrode 20 which consists of WSi is formed.

[0021] Furthermore, contact layer 18(thickness:80nm)+6* which consists of n+-GaAs which doped Si three or more $1 \times 10^{18} \text{cm}^{-3}$ is prepared in an external collector field as a characteristic feature of this structure, and the collector electrode 22 which consists of a nickel/AuGe/Au alloy on it is formed. An n+-InGaAs layer may be installed on the n+-GaAs contact layer 18, and contact resistance can be further reduced by preparing this layer. Moreover, the Ti/Pt/Au alloy is used for the base electrode 21.

[0022] In addition, in the gestalt of the above-mentioned enforcement, if the thickness of GaAs, InGaAs, AlGaAs, and InGaP, doping concentration, and composition are adapted for the purpose of this structure, they are arbitrary. Moreover, although C is used as Si and a p type impurity as an n type impurity, Se and Sn are usable as an n type impurity. As a p type impurity, Zn, Be, Mg of all the things that suit the main point of this invention, etc. are usable.

[0023] Furthermore as a substrate, you may use not only GaAs but Si. Moreover, the alloy used for an electrode is adapted for the purpose, and it is altogether usable.

[0024] Next, the manufacture technique of the heterojunction bipolar transistor of the gestalt the 1st enforcement of the above

is explained with reference to drawing 4. In this drawing, the buffer layer 11 (thickness:500nm) which uses a molecular-beam-epitaxy (MBE) method and consists of i-GaAs at the substrate temperature of 600 degrees C on the half-insulation GaAs substrate 10, and the n-GaAs collector layer 12 (thickness:500nm) which doped Si $5 \times 10^{16} \text{cm}^{-3}$ are grown up.

[0025] Then, the p+-GaAs base layer 13 (thickness:80nm) which doped Be $4 \times 10^{19} \text{cm}^{-3}$ is grown up. The n-AlGaAs emitter layer 14 (thickness:100nm) which furthermore doped Si $3 \times 10^{17} \text{cm}^{-3}$, the n+-GaAs emitter cap layer 15 (thickness:100nm) which doped Si three or more [$5 \times 10^{18} \text{cm}^{-3}$], and the n+-InGaAs emitter cap layer 16 (thickness:100nm) which similarly doped Si three or more [$1 \times 10^{19} \text{cm}^{-3}$] are grown up in this order (drawing 4 (a)).

[0026] Next, the emitter electrode 20 which consists of WSi is formed by the sputter, a mask is carried out by the photoresist 30, and it is processed by dry etching. The emitter cap layers 15 and 16 and the n-AlGaAs emitter layer 14 are etched, and a base layer is made to express furthermore using wet etching (drawing 4 (b)).

[0027] Next, a mask is carried out by the photoresist 31, wet etching of the unnecessary base layer is carried out, and the collector layer 12 is exposed (drawing 4 (c)). Then, a mask is carried out by SiO₂ layer 32 after removing a photoresist 31, and only the collector-electrode section is *****ed. An organic-metal vapor growth (MOVPE) is used for the fraction, and the selective growth of the n+-GaAs contact layer 18 (thickness:80nm) which doped Si three or more [$1 \times 10^{18} \text{cm}^{-3}$] is carried out (drawing 4 (d)). The disilane (Si₂H₆) was used for the raw material as trimethylgallium (TMG), an arsine (AsH₃), and an Si dopant. What is necessary is just to add trimethylindium (TMI) to a raw material further, when carrying out the selective growth of the n+-InGaAs besides. In addition, in InGaAs, three or more [$1 \times 10^{19} \text{cm}^{-3}$] Si doping is possible. Finally a photoresist mask is covered, the collector electrode 22 which consists of the base electrode 21 and nickel/AuGe/Au alloy which consist of a Ti/Pt/Au alloy is formed by the lift-off method, respectively, and a device is completed (drawing 4 (e)).

[0028] In this manufacture technique, if composition of the growth technique, growth conditions, and each layer, a thickness, doping concentration, the alloy further used for the modality of n type impurity and p type impurity and an electrode suit the purpose, there is all optionality. Moreover, also in a process, as long as it is the technique of suiting the purpose, you may use what technique. For example, you may use not wet etching but dry etching as the etching technique. If AlGaAs/GaAs selection etching is used in case especially an emitter cap layer is etched, emitter mesa formation will become easy.

[0029] Moreover, the technique of a selective growth is also possible not only by MOVPE but chloride VPE or an organic-metal molecular-beam-epitaxy method (MOMBE).

[0030] The heterojunction bipolar transistor by this structure showed current amplification factor:100, cut-off-frequency (f_T):70GHz, maximum-oscillation-frequency (f_{max}):150GHz, and the good property.

[0031] Next, the heterojunction bipolar transistor and its manufacture technique of the gestalt of enforcement of the 2nd of this invention are explained.

[0032] Drawing 2 is the configuration cross section of the heterojunction bipolar transistor of the gestalt of enforcement of the 2nd of this invention. The intrinsic section of a transistor is the same as that of drawing 1. The fraction different from drawing 1 is the fraction which forms an electrode being removed by etching, forming the n+-GaAs contact layer 18 (thickness:580nm) which doped Si three or more [$1 \times 10^{18} \text{cm}^{-3}$] into the fraction, and forming a collector electrode 20 on the contact layer 18 and 19 in a collector layer. By installing the contact layer 19 which consists of n+-InGaAs on the contact layer 18 which consists of n+-GaAs, contact resistance can be reduced further. In addition, the dope concentration of Si of the contact layer 19 makes dope concentration of Si higher than the contact layer 18 as three or more [$1 \times 10^{19} \text{cm}^{-3}$].

[0033] The manufacture technique of the heterojunction bipolar transistor of the gestalt this enforcement is explained with reference to drawing 4 (a) - drawing 4 (c), drawing 5 (a), - drawing 5 (c). The manufacture technique of the gestalt this enforcement is different from the manufacture technique of the gestalt enforcement of the above [drawing 4 (d) or subsequent ones]. The process which follows drawing 4 (c) is shown by drawing 5 (a) - drawing 5 (c) with the gestalt of this enforcement.

[0034] First, the buffer layer 11, the collector layer 12, the base layer 13, the emitter layer 14, the emitter cap layers 15 and 16, the emitter electrode 20, and the photoresist 31 are formed on the GaAs substrate 10 of the process of drawing 4 (a) - drawing 4 (c) as well as the gestalt of the 1st enforcement of the above.

[0035] Subsequently, after carrying out a mask by SiO₂ layer 32 and *****ing only the collector-electrode section, wet etching removes the collector layer of the fraction (drawing 5 (a)). The selective growth of the contact layer 18 (thickness:580nm) which becomes the fraction which furthermore carried out etching elimination using the organic-metal vapor growth (MOVPE) from n+-GaAs which doped Si three or more [$1 \times 10^{18} \text{cm}^{-3}$] is carried out (drawing 5 (b)). The disilane (Si₂H₆) was used for the raw material as trimethylgallium (TMG), an arsine (AsH₃), and an Si dopant. What is necessary is just to add trimethylindium (TMI) to a raw material further, when carrying out the selective growth of the contact layer 19 which besides consists of n+-InGaAs. Moreover, three or more [$1 \times 10^{19} \text{cm}^{-3}$] are in the impurity concentration of n+-InGaAs better [****]. Finally a photoresist mask is covered, the collector electrode 22 which consists of the base electrode 21 and nickel/AuGe/Au alloy which consist of a Ti/Pt/Au alloy is formed by the lift-off method, respectively, and a device is completed (drawing 5 (c)).

[0036] The heterojunction bipolar transistor by this structure also showed the good property more than the heterojunction bipolar transistor of the gestalt of the 1st enforcement of the above, and an EQC.

[0037] Next, the heterojunction bipolar transistor of the gestalt of enforcement of the 3rd of this invention is explained.

Drawing 3 is the configuration cross section of the heterojunction bipolar transistor of the gestalt of this enforcement. The structure of a transistor is the same as the gestalt of the 1st enforcement shown in drawing 1. With this structure, the contact layer installed on the collector layer 12 is formed by the multilayer of n+-GaAs and n+-InGaAs, and the alloy of a Ti/Pt/Au system is used as a collector electrode 22. Since the contact resistance with metal is low, as for n+-InGaAs, Ti/Pt/Au system metal can also take a contact. If the emitter cap layer is also formed by n+-InGaAs, together with a base electrode, all contact metal can be formed with the alloy of a Ti/Pt/Au system. If the electrode of an emitter, the base, and a collector layer is put in block at the end and it forms by the lift-off method as the manufacture technique, simplification of a large process can be attained. As metal which can be used for the same purpose, there are nickel/germanium and Pd/other In. This structure is applicable also to the gestalt of enforcement of the 2nd of drawing 2.

[0038] Next, the heterojunction bipolar transistor and its manufacture technique of the gestalt of enforcement of the 4th of this invention are explained. Drawing 6 is the cross section of the transistor important section for explaining the process flow.

[0039] In this drawing, the buffer layer 11 (thickness:500nm) which uses a molecular-beam-epitaxy method (MBE) and consists of i-GaAs at the substrate temperature of 600 degrees C on the GaAs substrate 10 of half-insulation, and the n-GaAs collector layer 12 (thickness:500nm) which doped Si $5 \times 10^{16} \text{cm}^{-3}$ are grown up. Then, the p+-GaAs base layer 13 (thickness:80nm) which doped Be $4 \times 10^{19} \text{cm}^{-3}$ is grown up. It grows up to the n-AlGaAs emitter layer 14 (thickness:100nm) which furthermore did $3 \times 10^{17} \text{cm}^{-3}$ <SUP> doping of Si (drawing 6 (a)).

[0040] Next, a mask is carried out by the photoresist 32 or SiO₂ layer, and emitter mesa formation and a base layer are made to express using wet etching (drawing 6 (b)). Furthermore, a mask is carried out by the photoresist 33, wet etching of the unnecessary base layer is carried out, and the collector layer 12 is exposed (drawing 6 (c)).

[0041] Next, a mask is carried out by SiO₂ layer 32, and only the emitter electrode formation section and the collector-electrode formation section are *****ed. An organic-metal vapor growth (MOVPE) is used for the fraction, and the selective growth of the contact layer 19 (thickness:20nm) which consists of n+-InGaAs which doped the contact layer 18 (thickness:80nm) which consists of n+-GaAs which doped Si three or more [$1 \times 10^{18} \text{cm}^{-3}$], and Si three or more [$1 \times 10^{19} \text{cm}^{-3}$] is carried out (drawing 6 (d)). The disilane (Si₂H₆) was used for the raw material as trimethylgallium (TMG), trimethylindium (TMI), an arsine (AsH₃), and an Si dopant.

[0042] Finally a photoresist mask is covered, the emitter electrode 20 which consists of a Ti/Pt/Au alloy, the base electrode 21, and the collector electrode 22 are formed by the lift-off method, and a device is completed (drawing 6 (e)).

[0043] In this manufacture technique, since a contact layer and an emitter cap layer can be formed simultaneously, a process can be simplified further. This manufacture technique is applicable to the structure (refer to drawing 2) shown in the gestalt of the 2nd enforcement of the above.

[0044] In this manufacture technique, if composition of the growth technique, growth conditions, and each layer, a thickness, doping concentration, the alloy further used for the modality of n type impurity and p type impurity and an electrode suit the purpose, there is all optionality.

[0045] As mentioned above, although the gestalt of suitable enforcement of this invention was explained, this invention of change [it / within the limits of the technical thought of this invention / suitably] is clear, without being limited to the gestalt of the aforementioned implementation.

[0046]

[Effect of the invention] Since a sub collector layer is not used in a heterojunction bipolar transistor and its manufacture technique according to this invention in order to take a metal electrode and a contact as explained above, it is effective in the ability to reduce a parasitic capacitance. Moreover, in order to form a contact layer by the selective growth, the level difference of an element becomes small and a flattening becomes easy. Furthermore, it is effective in the ability to attain simplification of a process by using simultaneous formation and the same electrode of a contact layer and an emitter cap layer.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[An easy explanation of a drawing]

[Drawing 1] It is the structure-section view of the heterojunction bipolar transistor of the 1st enforcement gestalt of this invention.

[Drawing 2] It is the structure-section view of the heterojunction bipolar transistor of the 2nd enforcement gestalt of this invention.

[Drawing 3] It is the structure-section view of the heterojunction bipolar transistor of the 3rd enforcement gestalt of this invention.

[Drawing 4] It is the cross section of the transistor important section for explaining the manufacture technique of the heterojunction bipolar transistor of the gestalt enforcement of the 1st of this invention.

[Drawing 5] It is the cross section of the transistor important section for explaining the manufacture technique of the heterojunction bipolar transistor of the gestalt enforcement of the 2nd of this invention. .

[Drawing 6] It is the cross section of the transistor important section for explaining the 4th heterojunction bipolar transistor and its manufacture technique of the enforcement gestalt of this invention.

[Drawing 7] It is the structure-section view of the heterojunction bipolar transistor of the conventional example.

[Drawing 8] It is the structure-section view of the heterojunction bipolar transistor of the conventional example.

[An explanation of a sign]

10 GaAs Substrate

11 Buffer Layer

12 Collector Layer

12a Sub collector layer

12b, 18, 19 Contact layer

13 Base Layer

14 Emitter Layer

15, 16 Emitter cap layer

20 Emitter Electrode

21 Base Electrode

22 Collector Electrode

30, 31, 33, 34 Photoresist

32 SiO₂ Layer

[Translation done.]

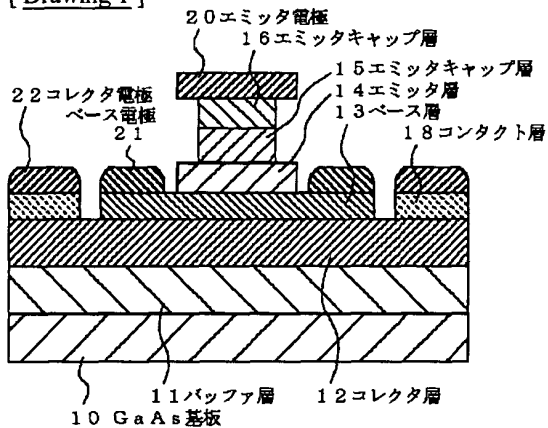
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

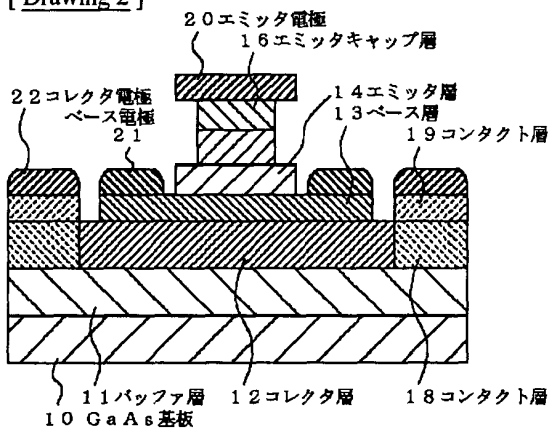
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

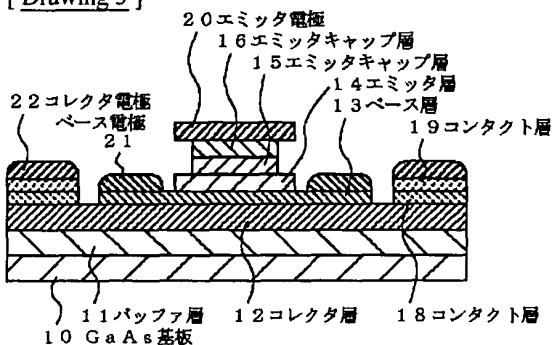
[Drawing 1]



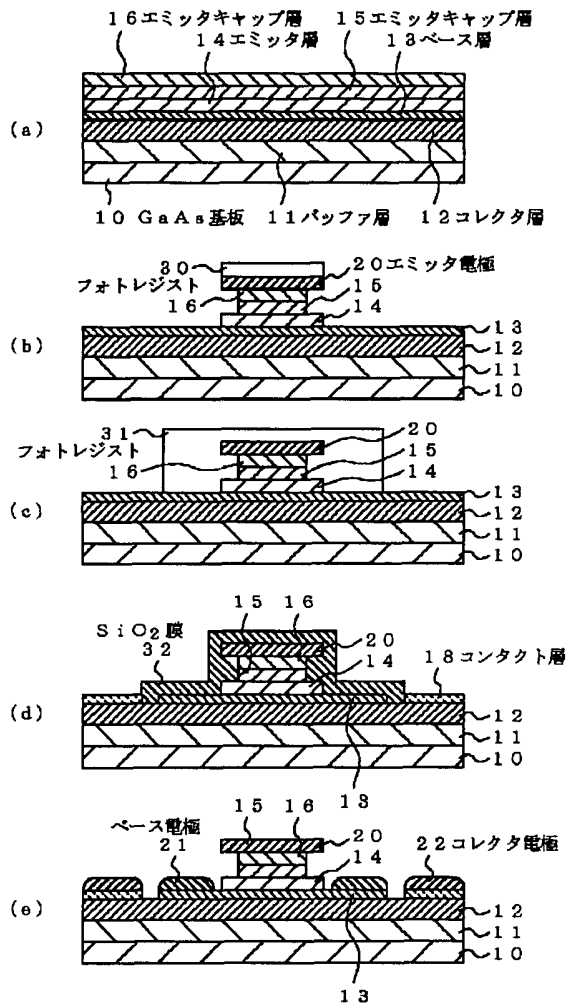
[Drawing 2]



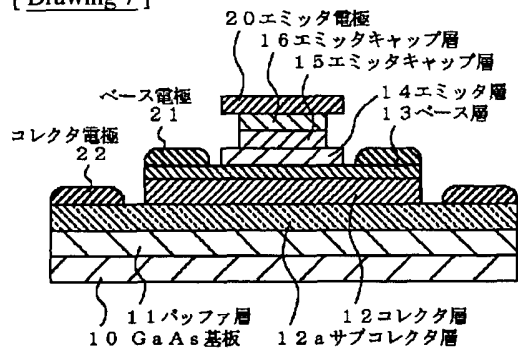
[Drawing 3]



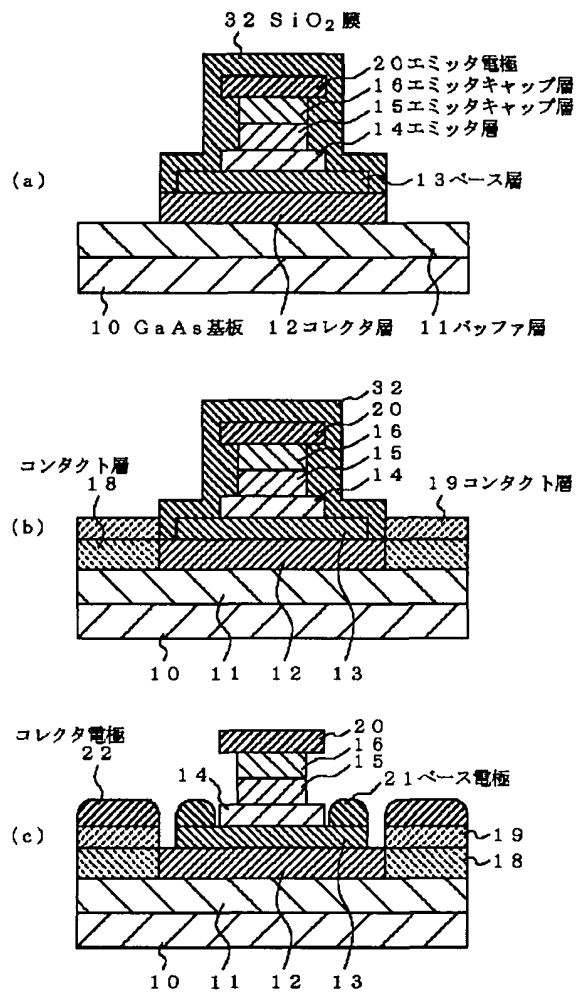
[Drawing 4]



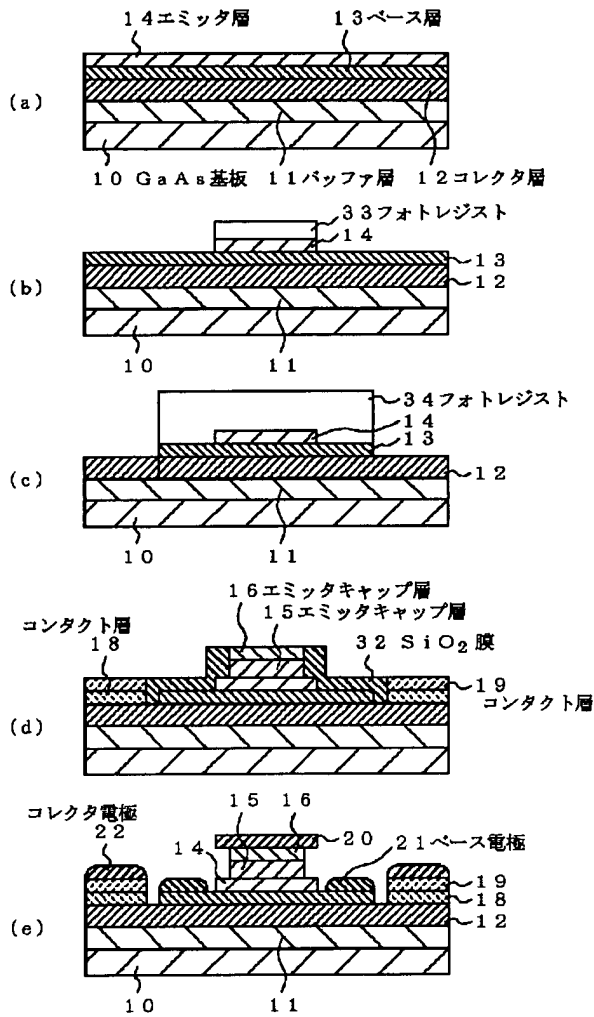
[Drawing 7]



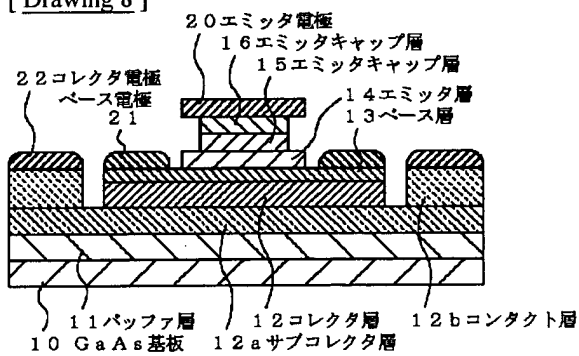
[Drawing 5]



[Drawing 6]



[Drawing 8]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-44211

(P2001-44211A)

(43)公開日 平成13年2月16日(2001.2.16)

(51)Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 1 L 21/331		H 0 1 L 29/72	5 F 0 0 3
29/73		29/205	
29/205			

審査請求 有 請求項の数16 O L (全 8 頁)

(21)出願番号 特願平11-212520

(22)出願日 平成11年7月27日(1999.7.27)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 古畑 直規

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5F003 BA92 BC01 BC04 BE01 BF06

BH05 BH07 BH99 BM02 BM03

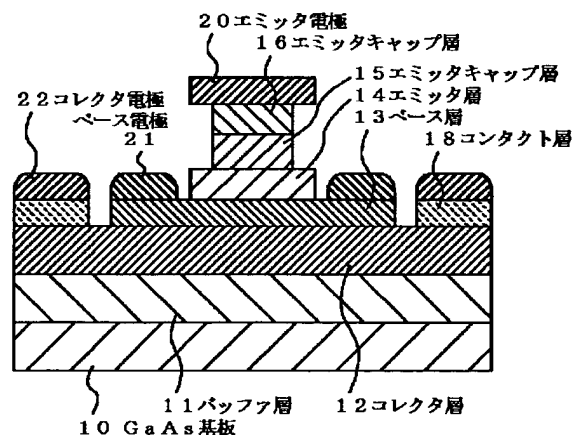
BP11 BP32 BP33 BS04 BS08

(54)【発明の名称】 ヘテロ接合バイポーラトランジスタ及びその製造方法

(57)【要約】

【課題】ヘテロ接合バイポーラトランジスタにおいて、高いデバイス特性を維持しつつ、しかも平坦化が容易で、作製プロセスが簡単なデバイス構造と製造方法を提供する。

【解決手段】GaAs基板10上に、3-5族化合物半導体薄膜からなる第1導電型のコレクタ層12、第2導電型のベース層13、ベース層13より禁制帯幅が大きい第1導電型のエミッタ層14が形成され、それぞれの層に電極が形成されているヘテロ接合バイポーラトランジスタにおいて、コレクタ層12とコレクタ電極22の間にコレクタ層12より高濃度に不純物をドーピングした低抵抗の第1導電型のコンタクト層18を挿入する。



【特許請求の範囲】

【請求項1】 半導体基板上に、3-5族化合物半導体薄膜からなる第1導電型のコレクタ層、第2導電型のベース層、前記ベース層より禁制帯幅が大きい第1導電型のエミッタ層が順次形成され、それぞれの層に電極が形成されているヘテロ接合バイポーラトランジスタにおいて、前記コレクタ層とコレクタ電極の間に前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層が挿入されていることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項2】 半導体基板上に、3-5族化合物半導体薄膜からなる第1導電型のコレクタ層、第2導電型のベース層、前記ベース層より禁制帯幅が大きい第1導電型のエミッタ層が順次形成され、それぞれの層に電極が形成されているヘテロ接合バイポーラトランジスタにおいて、前記コレクタ層の一部が除去され、その部分に前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層とコレクタ電極が順次形成されていることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項3】 前記低抵抗の第1導電型の半導体層中の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である請求項1または2記載のヘテロ接合バイポーラトランジスタ。

【請求項4】 請求項1または2記載のヘテロ接合バイポーラトランジスタにおいて、前記コレクタ層より高濃度に不純物をドーピングした低抵抗の前記第1導電型の半導体層が前記コレクタ層より禁制帯幅が小さい半導体層で形成されていることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項5】 請求項4記載のヘテロ接合バイポーラトランジスタにおいて、エミッタ、ベース、コレクタ電極をすべて同一の合金で形成されていることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項6】 半導体基板上に、3-5族化合物半導体で第1導電型のコレクタ層、第2導電型のベース層、該ベース層より禁制帯幅が大きい第1導電型のエミッタ層を順次エピタキシャル成長する工程を含むヘテロ接合バイポーラトランジスタの製造方法において、前記コレクタ層とコレクタ電極の間に前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層を選択成長で形成することを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

【請求項7】 半導体基板上に、3-5族化合物半導体で第1導電型のコレクタ層、第2導電型のベース層、該ベース層より禁制帯幅が大きい第1導電型のエミッタ層を順次エピタキシャル成長する工程を含むヘテロ接合バイポーラトランジスタの製造方法において、前記コレクタ層の一部をエッチングし、その部分に前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層を選択成長で形成することを特徴とするヘ

テロ接合バイポーラトランジスタの製造方法。

【請求項8】 前記低抵抗の第1導電型の半導体層中の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である請求項6または7記載のヘテロ接合バイポーラトランジスタの製造方法。

【請求項9】 請求項6または7記載のヘテロ接合バイポーラトランジスタの製造方法において、前記コレクタ層より高濃度に不純物をドーピングした低抵抗の前記半導体層を選択成長で形成する際に、エミッタキャップ層も前記半導体層と同じ半導体層で同時に形成することを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

【請求項10】 請求項6、7または9記載のヘテロ接合バイポーラトランジスタの製造方法において、前記コレクタ層より高濃度に不純物をドーピングした低抵抗の前記半導体層として、前記コレクタ層より禁制帯幅が小さい半導体層を選択成長で形成することを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

【請求項11】 前記半導体基板がSiまたはGaAsである請求項1または2記載のヘテロ接合バイポーラトランジスタ。

【請求項12】 前記半導体基板がSiまたはGaAsである請求項6または7記載のヘテロ接合バイポーラトランジスタの製造方法。

【請求項13】 前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層が第1の半導体層と第2の半導体層の積層膜からなることを特徴とする請求項1または2記載のヘテロ接合バイポーラトランジスタ。

【請求項14】 前記第1の半導体層が $n^+ \text{ GaAs}$ であり、前記第2の半導体層が $n^+ \text{ InGaAs}$ であることを特徴とする請求項13記載のヘテロ接合バイポーラトランジスタ。

【請求項15】 前記第2の半導体層中の不純物濃度が前記第1の半導体層中の不純物濃度よりも大きく、かつ $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることを特徴とする請求項13または14記載のヘテロ接合バイポーラトランジスタ。

【請求項16】 前記第2の半導体層中の不純物濃度が前記第1の半導体層中の不純物濃度よりも大きく、かつ $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることを特徴とする請求項16または17記載のヘテロ接合バイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ヘテロ接合バイポーラトランジスタ及びその製造方法に関し、特にエミッタ、ベース、コレクタの段差が小さく、平坦化の容易なヘテロ接合バイポーラトランジスタ及びその製造方法に関する。

【0002】

【従来の技術】3-5族化合物半導体を用いたヘテロ接合バイポーラトランジスタ（以下HBTとする）は、優れた高周波特性と高い電流駆動能力を有し、しかも単一正電源動作が可能のため、移動体通信機器や光通信システムの高周波素子や高出力素子への応用が有望視され、すでに一部実用化されている。これらの応用にあって、素子の小型化やICにする場合は、平坦化のしやすさが重要となる。しかし従来のHBTは、図7に示すような縦形構造なので、エミッタ電極20、ベース電極21、コレクタ電極22の各電極を形成するためには、深いメサを切る必要があり、エミッタ電極20とコレクタ電極22の間では、約1 μ mの段差が生じる。従って、ICにする場合の平坦化工程が難しくなる。

【0003】また、図7に示した従来のHBTでは、コレクタ耐圧を高くし、またコレクタ-ベース間容量を低減するため、コレクタ層は10¹⁶cm⁻³台の低濃度n型GaAsで形成される。場合によっては、non-doped GaAsの場合もある。従って、コレクタ層に直接コンタクトをとることは困難で、コレクタ層の下部に10¹⁸cm⁻³台の高濃度n⁺-GaAs層（サブコレクタ層12a）を挿入して、そこにコレクタ電極22を形成する。このためメサ段は、さらに深いものになっている。

【0004】この問題に対して、特開平6-14041号公報やエフ・アレキサンドルら、ジャーナル・オブ・クリスタルグロース、136巻、235～240（1994年）（Alexandre et al., Journal of Crystal Growth, 136, pp235-240（1994））ではサブコレクタ層上にコンタクト層を設ける方法が提案されている。図8はその例であり、サブコレクタ層12a上にn⁺-GaAsとn⁺-InGaAsからなるコンタクト層12bがCBE（Chemical Beam Epitaxy）による選択成長で形成され、平坦化を図っている。

【0005】

【発明が解決しようとする課題】前述した従来のHBTの構造では、1 μ m以上のメサ段ができ、平坦化が困難である。図8に示したHBTの構造は、コレクタメサを解消するためには、効果的であるが、従来通りサブコレクタ層を設けているため、サブコレクタ層が寄生容量になり、デバイス特性を劣化させるという問題がある。

【0006】またサブコレクタ層までエッチングする必要があるため、メサ段が深くなり、厚い選択成長層が必要となり、ファセット成長しやすく、やはり平坦化が困難になる。

【0007】本発明の目的は、選択成長を用いて平坦化を容易にし、高いデバイス特性を維持しつつプロセスを簡略化できるヘテロ接合バイポーラトランジスタとその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明によるヘテロ接合バイポーラトランジスタは、半導体基板上に、3-5族化合物半導体薄膜からなる第1導電型のコレクタ層、第2導電型のベース層、前記ベース層より禁制帯幅が大きい第1導電型のエミッタ層が順次形成され、それぞれの層に電極が形成されているヘテロ接合バイポーラトランジスタにおいて、前記コレクタ層とコレクタ電極の間に前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層が挿入されていることを特徴としている。

【0009】また本発明による他のヘテロ接合バイポーラトランジスタは、半導体基板上に、3-5族化合物半導体薄膜からなる第1導電型のコレクタ層、第2導電型のベース層、前記ベース層より禁制帯幅が大きい第1導電型のエミッタ層が順次形成され、それぞれの層に電極が形成されているヘテロ接合バイポーラトランジスタにおいて、前記コレクタ層の一部が除去され、その部分に前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層とコレクタ電極が順次形成されていることを特徴としている。

【0010】さらに上記ヘテロ接合バイポーラトランジスタにおいて、コレクタ層より高濃度に不純物をドーピングした低抵抗の半導体層を、コレクタ層より禁制帯幅が小さい半導体層で形成することを特徴としている。またこの構造で、エミッタ、ベース、コレクタ電極をすべて同一の合金で、形成することを特徴としている。

【0011】本発明によるヘテロ接合バイポーラトランジスタの製造方法は、半導体基板上に、3-5族化合物半導体で第1導電型のコレクタ層、第2導電型のベース層、該ベース層より禁制帯幅が大きい第1導電型のエミッタ層を順次エピタキシャル成長する工程を含むヘテロ接合バイポーラトランジスタの製造方法において、前記コレクタ層とコレクタ電極の間に前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層を選択成長で形成することを特徴としている。

【0012】また他の製造方法は、半導体基板上に、3-5族化合物半導体で第1導電型のコレクタ層、第2導電型のベース層、該ベース層より禁制帯幅が大きい第1導電型のエミッタ層を順次エピタキシャル成長する工程を含むヘテロ接合バイポーラトランジスタの製造方法において、前記コレクタ層の一部をエッチングし、その部分に前記コレクタ層より高濃度に不純物をドーピングした低抵抗の第1導電型の半導体層を選択成長で形成することを特徴としている。

【0013】上記製造方法において、コレクタ層の一部をエッチングし、その部分にコレクタ層より高濃度に不純物をドーピングした低抵抗の半導体層を、選択成長で形成することを特徴としている。さらに上記製造方法において、コレクタ層より高濃度に不純物をドーピングした低抵抗の半導体層を選択成長で形成する際に、エミ

ットキャップ層も同じ半導体層で同時に形成することを特徴としている。

【0014】以上の製造方法において、コレクタ層より高濃度に不純物をドーピングした低抵抗の半導体層として、コレクタ層より禁制帯幅が小さい半導体層を選択成長で形成してもよい。

【0015】本発明によれば、コレクタ層上部もしくはコレクタ層側面に選択成長により高濃度第1導電型の半導体層からなるコンタクト層を設けるので、コレクタメサを形成する必要はない。コンタクト層にある程度の厚みを設けることにより、平坦化は容易にできる。またコレクタ部とエミッタ部に窓開けしておけば、コンタクト層とエミッタキャップ層を選択成長で、同時に形成することも可能になり、プロセスの簡略化ができる。

【0016】さらに、コンタクト層として、たとえばGaAsに対するInGaAs等のコレクタ層より禁制帯幅が小さい半導体層を用いれば、接触抵抗が低くなりTi/Pt/Au系の合金で、エミッタ、ベース、コレクタ電極を同時に形成することも可能である。

【0017】

【発明の実施の形態】本発明の上記目的、特徴および利点を明確にすべく、添付した図面を参照しながら、本発明の実施の形態について以下に詳述する。

【0018】図1は本発明の第1の実施の形態のヘテロ接合バイポーラトランジスタの構成断面図である。同図において、半絶縁性GaAs基板10上に、i-GaAsもしくはi-AlGaAsからなるバッファ層11（厚さ：500nm）が形成されており、このバッファ層11上にSiを $5 \times 10^{16} \text{ cm}^{-3}$ ドーピングしたn-GaAsコレクタ層12（厚さ：500nm）が形成されている。

【0019】コレクタ層12上には、炭素（C）を $2 \times 10^{19} \text{ cm}^{-3}$ ドーピングしたp⁺-GaAsベース層13（厚さ：80nm）が形成され、ベース層上には、Siを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn-AlGaAsもしくはn-InGaPエミッタ層14（厚さ：100nm）が形成されている。

【0020】エミッタ層14上には、エミッタ電極をとるために、Siを高濃度（ $1 \times 10^{18} \text{ cm}^{-3}$ 以上）にドーピングしたn⁺-GaAs層15（厚さ：100nm）とn⁺-InGaAs層16（厚さ：100nm）からなるエミッタキャップ層が形成されている。また、エミッタキャップ層上にはWSiからなるエミッタ電極20が形成されている。

【0021】さらに本構造の特徴として、外部コレクタ領域にSiを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたn⁺-GaAsからなるコンタクト層18（厚さ：80nm）+6*を設けて、その上にNi/AuGe/Au合金からなるコレクタ電極22が形成されている。n⁺-GaAsコンタクト層18上にn⁺-InGaAs層を設

置してもよく、この層を設けることにより、コンタクト抵抗をさらに低減できる。また、ベース電極21には、Ti/Pt/Au合金が使用されている。

【0022】なお上記の実施の形態において、GaAs, InGaAs, AlGaAs, InGaPの膜厚、ドーピング濃度、組成は、本構造の目的に適應するものならば、任意である。またn型不純物としてSi, p型不純物として、Cを用いているが、n型不純物として例えば、Se, Snが使用可能である。p型不純物としては、Zn, Be, Mg等、本発明の主旨に適合するものは、すべて使用可能である。

【0023】さらに基板としてはGaAsだけでなく、Siを用いても良い。また電極に用いる合金も、その目的に適應するものならば、すべて使用可能である。

【0024】次に、上記の第1の実施の形態のヘテロ接合バイポーラトランジスタの製造方法について図4を参照して説明する。同図において、半絶縁性GaAs基板10上に、分子線エピタキシ（MBE）法を用いて基板温度600℃で、i-GaAsからなるバッファ層11（厚さ：500nm）、Siを $5 \times 10^{16} \text{ cm}^{-3}$ ドーピングしたn-GaAsコレクタ層12（厚さ：500nm）を成長する。

【0025】続いて、Beを $4 \times 10^{19} \text{ cm}^{-3}$ ドーピングしたp⁺-GaAsベース層13（厚さ：80nm）を成長する。さらにSiを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn-AlGaAsエミッタ層14（厚さ：100nm）、Siを $5 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたn⁺-GaAsエミッタキャップ層15（厚さ：100nm）、同じくSiを $1 \times 10^{19} \text{ cm}^{-3}$ 以上ドーピングしたn⁺-InGaAsエミッタキャップ層16（厚さ：100nm）を、この順で成長する（図4（a））。

【0026】次にWSiからなるエミッタ電極20をスパッタで形成し、フォトリソでマスクして、ドライエッチングで加工する。さらにウェットエッチングを用いて、エミッタキャップ層15、16とn-AlGaAsエミッタ層14をエッチングしてベース層を表出させる（図4（b））。

【0027】次にフォトリソでマスクし、不要ベース層をウェットエッチングして、コレクタ層12を露出させる（図4（c））。続いてフォトリソでマスクして、コレクタ電極部のみ窓開けする。その部分に、有機金属気相成長法（MOVPE）を用いて、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたn⁺-GaAsコンタクト層18（厚さ：80nm）を選択成長させる（図4（d））。原料は、トリメチルガリウム（TMG）とアルシン（AsH₃）、Siドーパントとしてジシラン（Si₂H₆）を用いた。この上にn⁺-InGaAsを選択成長する場合、さらに原料にトリメチルインジウム（TMI）を加えればよい。なおInGaAsの場合、 $1 \times 10^{19} \text{ cm}$

10^{18} 以上のSiドーピングが可能である。最後にフォトレジストマスクをかけて、Ti/Pt/Au合金からなるベース電極21とNi/AuGe/Au合金からなるコレクタ電極22をリフトオフ法によりそれぞれ形成して、デバイスを完成させる(図4(e))。

【0028】本製造方法において、成長方法、成長条件、それぞれの層の組成、膜厚、ドーピング濃度、さらにn型不純物、p型不純物の種類、電極に用いる合金等も、その目的に適合するものならば、すべて任意性がある。またプロセスにおいても、その目的に適合する方法ならば、どのような方法を用いてもよい。たとえば、エッチング方法として、ウェットエッチングではなく、ドライエッチングを用いてもよい。特にエミッタキャップ層をエッチングする際に、AlGaAs/GaAs選択エッチングを用いると、エミッタメサ形成が容易になる。

【0029】また選択成長の方法もMOVPEだけでなく、クロライドVPEあるいは有機金属分子線エピタキシ法(MOMBE)でも可能である。

【0030】本構造によるヘテロ接合バイポーラトランジスタは、電流増幅率:100、遮断周波数(fT):70GHz、最大発振周波数(fmax):150GHzと良好な特性を示した。

【0031】次に、本発明の第2の実施の形態のヘテロ接合バイポーラトランジスタ及びその製造方法について説明する。

【0032】図2は本発明の第2の実施の形態のヘテロ接合バイポーラトランジスタの構成断面図である。トランジスタの真性部は、図1と同様である。図1と異なる部分は、コレクタ層において、電極を形成する部分がエッチングにより除去されており、その部分にSiを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングした n^+ -GaAsコンタクト層18(厚さ:580nm)を設けて、コレクタ電極20をコンタクト層18、19上に形成することである。 n^+ -GaAsからなるコンタクト層18上に n^+ -InGaAsからなるコンタクト層19を設置することにより、コンタクト抵抗は、さらに低減できる。なお、コンタクト層19のSiのドーパ濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上として、コンタクト層18よりもSiのドーパ濃度を高くする。

【0033】本実施の形態のヘテロ接合バイポーラトランジスタの製造方法について図4(a)~図4(c)、図5(a)~図5(c)を参照して説明する。本実施の形態の製造方法は、図4(d)以降が上記の実施の形態の製造方法とは相違する。本実施の形態では図4(c)に続く工程は図5(a)~図5(c)で示されている。

【0034】まず、上記の第1の実施の形態と同様に図4(a)~図4(c)の工程によりGaAs基板10上にバッファ層11、コレクタ層12、ベース層13、エミッタ層14、エミッタキャップ層15、16、エミッ

タ電極20およびフォトレジスト31が形成される。

【0035】次いで、SiO₂膜32でマスクして、コレクタ電極部のみ窓開けした後、ウェットエッチングにより、その部分のコレクタ層を除去する(図5(a))。

さらに有機金属気相成長法(MOVPE)を用いて、エッチング除去した部分に、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングした n^+ -GaAsからなるコンタクト層18(厚さ:580nm)を選択成長させる(図5(b))。原料は、トリメチルガリウム(TM G)とアルシン(AsH₃)、Siドーパントとしてジシラン(Si₂H₆)を用いた。この上に n^+ -InGaAsからなるコンタクト層19を選択成長する場合は、さらに原料にトリメチルインジウム(TMI)を加えればよい。また n^+ -InGaAsの不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上がのぞましい。最後にフォトレジストマスクをかけて、Ti/Pt/Au合金からなるベース電極21とNi/AuGe/Au合金からなるコレクタ電極22をリフトオフ法によりそれぞれ形成して、デバイスを完成させる(図5(c))。

【0036】本構造によるヘテロ接合バイポーラトランジスタも、上記の第1の実施の形態のヘテロ接合バイポーラトランジスタと同等以上の良好な特性を示した。

【0037】次に、本発明の第3の実施の形態のヘテロ接合バイポーラトランジスタについて説明する。図3は本実施の形態のヘテロ接合バイポーラトランジスタの構成断面図である。トランジスタの構造は、図1に示した第1の実施の形態と同様である。本構造では、コレクタ層12上に設置したコンタクト層を n^+ -GaAsと n^+ -InGaAsの多層膜で形成し、コレクタ電極22としてTi/Pt/Au系の合金を用いる。 n^+ -InGaAsは金属との接触抵抗が低いので、Ti/Pt/Au系金属でもコンタクトをとることができる。エミッタキャップ層も n^+ -InGaAsで形成しておけば、ベース電極と合わせて、コンタクト金属をすべてTi/Pt/Au系の合金で形成することができる。製造方法としては、エミッタ、ベース、コレクタ層の電極を最後に一括して、リフトオフ法により形成すれば、大幅なプロセスの簡略化を図ることができる。同じ目的で使用できる金属としては、他にNi/GeやPd/Inがある。本構造は、図2の第2の実施の形態にも適用することができる。

【0038】次に、本発明の第4の実施の形態のヘテロ接合バイポーラトランジスタ及びその製造方法について説明する。図6はそのプロセスフローを説明するためのトランジスタ要部の断面図である。

【0039】同図において、半絶縁性のGaAs基板10上に、分子線エピタキシ法(MBE))を用いて基板温度600℃で、 i -GaAsからなるバッファ層11(厚さ:500nm)、Siを $5 \times 10^{16} \text{ cm}^{-3}$ ドーピングした n -GaAsコレクタ層12(厚さ:500nm

m)を成長する。続いて、Beを $4 \times 10^{19} \text{ cm}^{-3}$ ドーピングしたp+-GaAsベース層13(厚さ:80nm)を成長する。さらにSiを $3 \times 10^{17} \text{ cm}^{-3}$ ドーピングしたn-AlGaAsエミッタ層14(厚さ:100nm)まで成長する(図6(a))。

【0040】次に、フォトレジスト32もしくは SiO_2 膜でマスクして、ウェットエッチングを用いて、エミッタメサ形成とベース層を表出させる(図6(b))。さらにフォトレジスト33でマスクし、不要ベース層をウェットエッチングして、コレクタ層12を露出させる(図6(c))。

【0041】次に SiO_2 膜32でマスクして、エミッタ電極形成部とコレクタ電極形成部のみ窓開けする。その部分に、有機金属気相成長法(MOVPE)を用いて、Siを $1 \times 10^{18} \text{ cm}^{-3}$ 以上ドーピングしたn+-GaAsからなるコンタクト層18(厚さ:80nm)とSiを $1 \times 10^{19} \text{ cm}^{-3}$ 以上ドーピングしたn+-InGaAsからなるコンタクト層19(厚さ:20nm)を選択成長させる(図6(d))。原料は、トリメチルガリウム(TMg)、トリメチルインジウム(TMI)、アルシン(AsH_3)、Siドーパントとしてジシラン(Si_2H_6)を用いた。

【0042】最後にフォトレジストマスクをかけて、Ti/Pt/Au合金からなるエミッタ電極20、ベース電極21、コレクタ電極22をリフトオフ法により形成して、デバイスを完成させる(図6(e))。

【0043】本製造方法においては、コンタクト層とエミッタキャップ層を同時に形成できるので、さらにプロセスを簡略化できる。本製造方法は、上記の第2の実施の形態に示す構造(図2参照)に適用することができる。

【0044】本製造方法において、成長方法、成長条件、それぞれの層の組成、膜厚、ドーピング濃度、さらにn型不純物、p型不純物の種類、電極に用いる合金等も、その目的に適合するものならば、すべて任意性がある。

【0045】以上、本発明の好適な実施の形態について説明したが、本発明は、前記実施の形態に限定されことなく、本発明の技術思想の範囲内において、適宜変更され得ることは明らかである。

【0046】

【発明の効果】以上説明したように、本発明によれば、

ヘテロ接合バイポーラトランジスタ及びその製造方法において、メタル電極とコンタクトをとるために、サブコレクタ層を用いないので、寄生容量を低減できる効果がある。またコンタクト層を選択成長で、形成するため、素子の段差が小さくなり、平坦化が容易になる。さらに、コンタクト層とエミッタキャップ層の同時形成や同一電極を用いることにより、プロセスの簡略化を図ることができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のヘテロ接合バイポーラトランジスタの構造断面図である。

【図2】本発明の第2の実施形態のヘテロ接合バイポーラトランジスタの構造断面図である。

【図3】本発明の第3の実施形態のヘテロ接合バイポーラトランジスタの構造断面図である。

【図4】本発明の第1の実施の形態のヘテロ接合バイポーラトランジスタの製造方法を説明するためのトランジスタ要部の断面図である。

【図5】本発明の第2の実施の形態のヘテロ接合バイポーラトランジスタの製造方法を説明するためのトランジスタ要部の断面図である。。

【図6】本発明の第4の実施形態のヘテロ接合バイポーラトランジスタとその製造方法を説明するためのトランジスタ要部の断面図である。

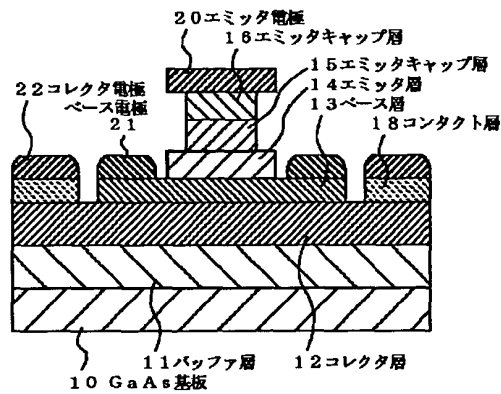
【図7】従来例のヘテロ接合バイポーラトランジスタの構造断面図である。

【図8】 従来例のヘテロ接合バイポーラトランジスタの構造断面図である。

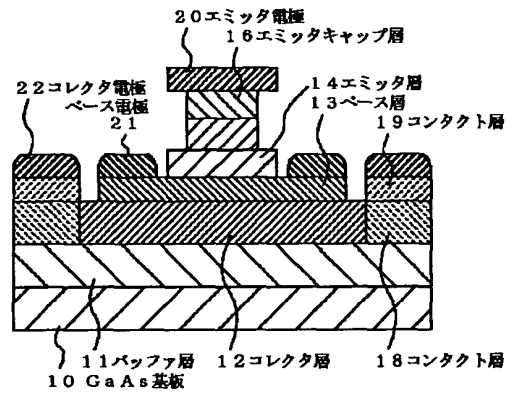
【符号の説明】

- | | |
|----------------|------------------|
| 10 | GaAs基板 |
| 11 | バッファ層 |
| 12 | コレクタ層 |
| 12a | サブコレクタ層 |
| 12b, 18, 19 | コンタクト層 |
| 13 | ベース層 |
| 14 | エミッタ層 |
| 15, 16 | エミッタキャップ層 |
| 20 | エミッタ電極 |
| 21 | ベース電極 |
| 22 | コレクタ電極 |
| 30, 31, 33, 34 | フォトレジスト |
| 32 | SiO_2 膜 |

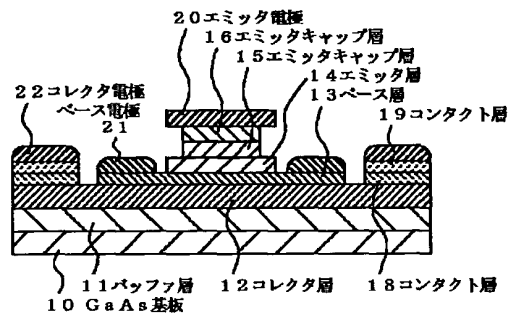
【図1】



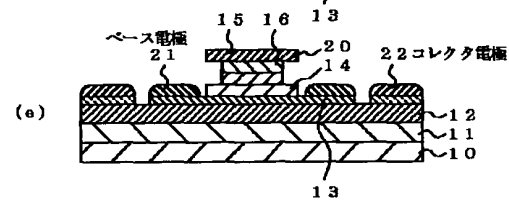
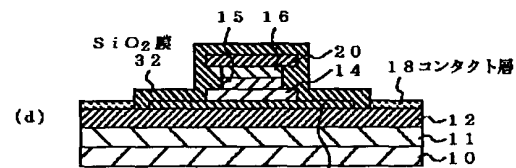
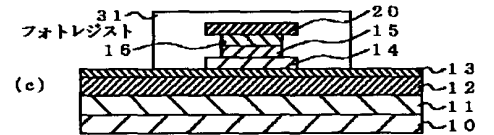
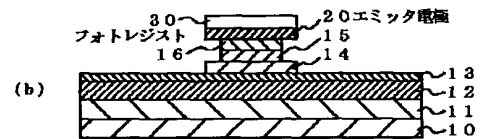
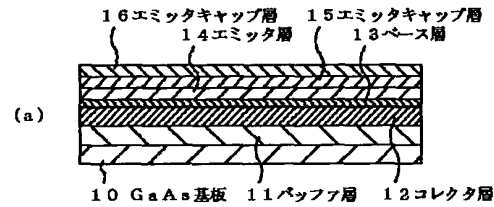
【図2】



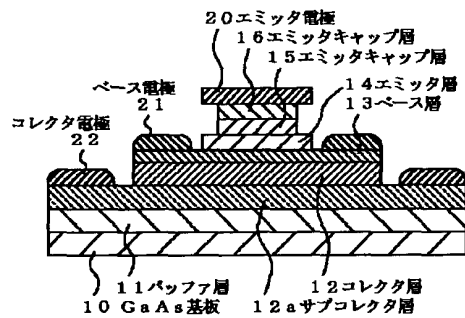
【図3】



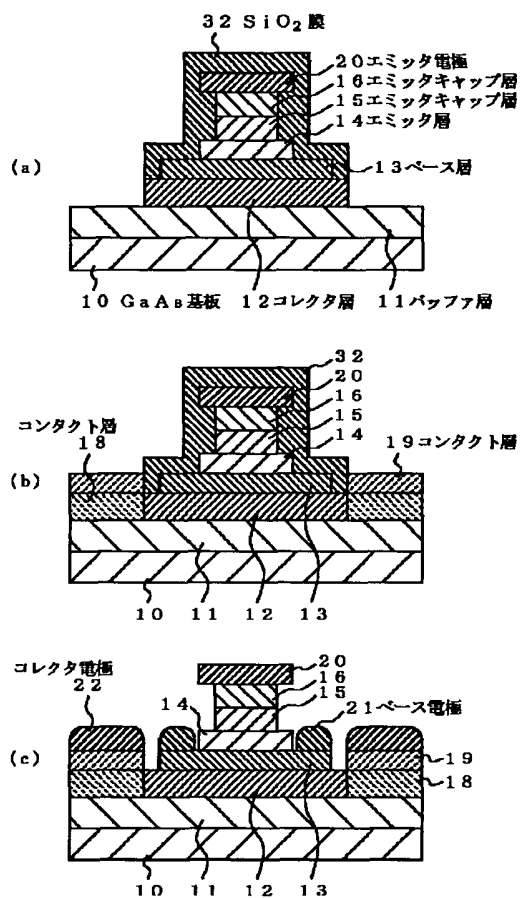
【図4】



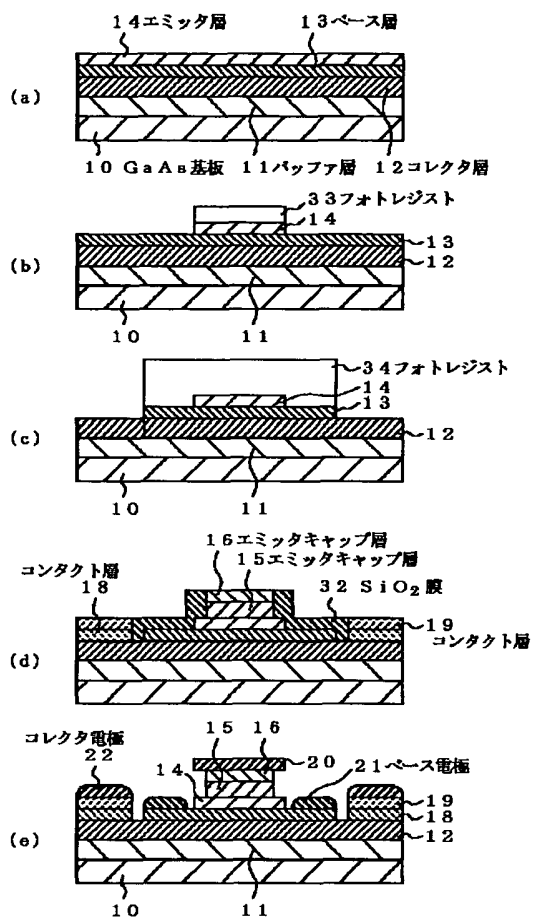
【図7】



【図5】



【図6】



【図8】

